

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2004年12月9日 (09.12.2004)

PCT

(10)国際公開番号
WO 2004/107451 A1

(51)国際特許分類⁷: H01L 29/78, 21/336, 21/316, 21/31

(IKARASHI, Nobuyuki) [JP/JP]; 〒1088001 東京都港区芝五丁目7-1 日本電気株式会社内 Tokyo (JP).

(21)国際出願番号: PCT/JP2004/007480

(74)代理人: 稲垣清, 外 (INAGAKI, Kiyoshi et al.); 〒1010042 東京都千代田区神田東松下町37 林道ビル5階 扶桑特許事務所内 Tokyo (JP).

(22)国際出願日: 2004年5月31日 (31.05.2004)

(81)指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(25)国際出願の言語: 日本語

(84)指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

(26)国際公開の言語: 日本語

(30)優先権データ:
特願2003-153232 2003年5月29日 (29.05.2003) JP

(71)出願人(米国を除く全ての指定国について): 日本電気
株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001
東京都港区芝五丁目7-1 Tokyo (JP).

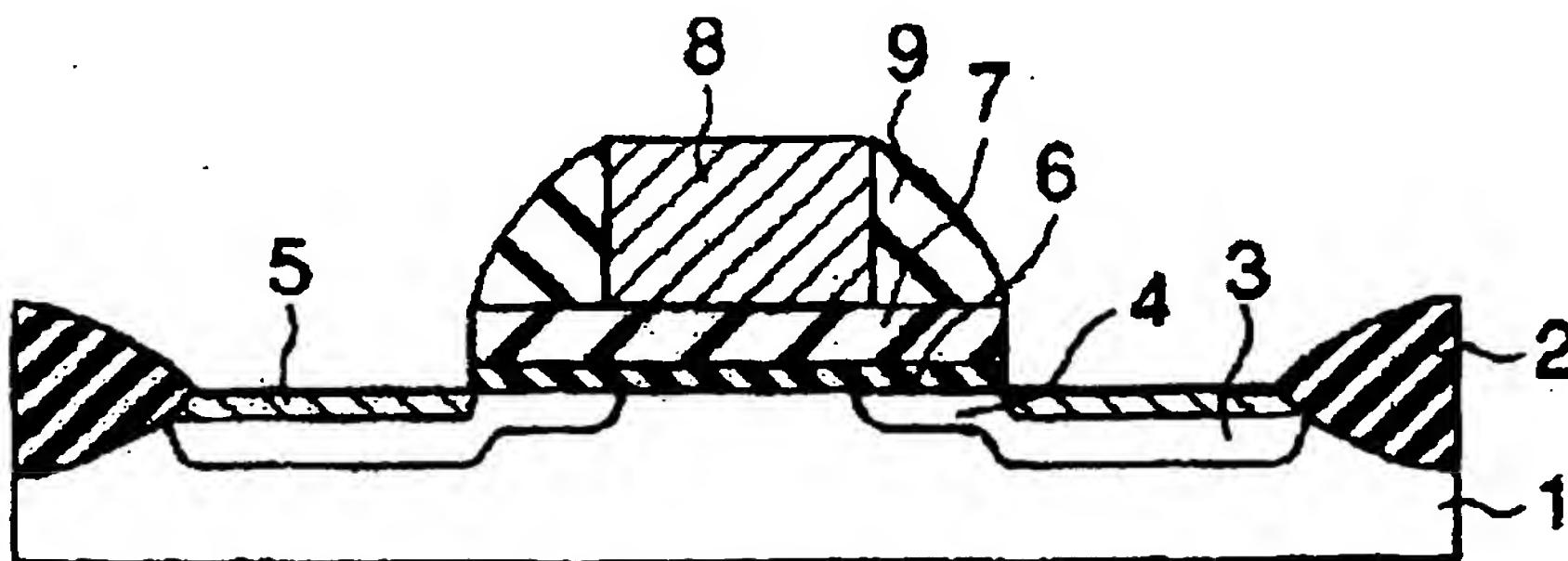
(72)発明者; および

(75)発明者/出願人(米国についてのみ): 辰巳徹 (TATSUMI, Toru) [JP/JP]; 〒1088001 東京都港区芝五丁目
7-1 日本電気株式会社内 Tokyo (JP). 五十嵐信行

/続葉有/

(54) Title: SEMICONDUCTOR DEVICE FITTED WITH MIS TYPE FIELD-EFFECT TRANSISTOR, PROCESS FOR PRODUCING THE SAME AND METHOD OF FORMING METAL OXIDE FILM

(54)発明の名称: MIS型電界効果トランジスタを備える半導体装置及びその製造方法並びに金属酸化膜の形成方法



WO 2004/107451 A1

(57) Abstract: [PROBLEMS] To provide a semiconductor device fitted with MIS type field-effect transistor that despite use of a High-K material of high dielectric constant in a gate insulating film, excels in low leak characteristics. [MEANS FOR SOLVING PROBLEMS] An MIS type field-effect transistor, comprising silicon substrate (1) and, superimposed thereon in sequence, insulating film (6) containing silicon and at least one of nitrogen and oxygen, metal oxide film (7) containing silicon and hafnium and gate electrode (8), wherein the molar ratio of silicon of the metal oxide film ($Si/(Si+Hf)$) is in the range of 2 to 15%.

(57)要約: 【課題】ゲート絶縁膜に比誘電率の高いHigh-K材料を用いながら、低リーク特性に優れたMIS型電界効果トランジスタを有する半導体装置を提供する。【解決手段】シリコン基板(1)と、前記シリコン基板上に形成され、窒素および酸素の少なくとも1種とシリコンとを含有する絶縁膜(6)と、前記絶縁膜上に形成され、シリコン及びハフニウムを含む金属酸化膜(7)と、前記金属酸化膜上に形成されたゲート電極(8)とを備えるMIS型電界効果トランジスタにおいて、前記金属酸化膜中のシリコンのモル比率($Si/(Si+Hf)$)を2%以上15%以下とする。



IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

- 國際調査報告書

明細書

MIS型電界効果トランジスタを備える半導体装置及びその製造方法並びに金属酸化膜の形成方法

技術分野

[0001] 本発明は、MIS型電界効果トランジスタを備える半導体装置およびその製造方法に係り、特にシリコンおよびハフニウムを含む金属酸化膜と、シリコンを含む界面絶縁膜との積層絶縁膜をゲート絶縁膜として有するMIS型電界効果トランジスタを備える半導体装置およびその製造方法に関する。

背景技術

[0002] サブ $0.1\mu m$ 世代のCMOS(Complementary Metal-Oxide-Semiconductor)デバイスにおけるゲート絶縁膜は、 SiO_2 換算で 1.6nm という小さな膜厚が望まれている。厚さ 1.6nm の SiO_2 は、絶縁性が低いため、リーク電流による消費電力増加よりも高速性を重視するLogicデバイスにおいてすら実用が困難である。また、より多くの需要が確実視される個人用携帯電子機器に用いられるLSIデバイスに求められる最大の要求は低消費電力性である。このため、そのリーク電流密度がデバイス全体の消費電力に対し大きな部分を占めるゲート絶縁膜に対しては、従来の SiO_2 よりも格段にリーク電流の低い新規材料の導入が必須とされている。

[0003] SiO_2 換算 1.6nm の絶縁膜容量を実現し、かつ低リーク特性を得るためには、 SiO_2 より比誘電率の高い材料(High-K材料)を利用し、物理膜厚を厚くすることが有効である。例えば、 SiO_2 の10倍の比誘電率をもつ材料を利用すれば、 SiO_2 換算 1.6nm の性能を得るための物理膜厚は 16nm に設定することができ、直接トンネル電流による膜の絶縁性破壊を回避することが可能である。ここで、High-K材料とは一般に金属酸化物のことであり、その物理、化学的構造に基づく高い分極が高誘電率の起源となる。

[0004] しかしながら、これらの金属酸化物は、LSIデバイスにゲート絶縁膜として導入することを考えたとき、 SiO_2 に比較して明らかに不利な性質を有している。その代表的なものとして、これらの金属酸化物の耐熱性が挙げられる。LSIのゲート形成工程ではソース／ドレインの活性化及びポリシリコンゲートの空乏化を抑制するために、高温(

概ね1050°C)のランプアニール工程が必須である。ほとんどの金属酸化物はこのような高温には耐えることができず、例えば ZrO_2 は900°C以上で分解し、シリコンと反応してシリサイドを形成してリーク特性を大きく低下させる。また、比較的耐熱性があると考えられている HfO_2 さえ、1000°C以上で上部ポリシリコンゲートと反応してリーク特性を損なう。

[0005] 従来のLSIにおいてゲート絶縁膜を形成するために使用されてきた SiO_2 (または $SiON$)は、酸素がなければ、このような高い温度でもシリコンと反応しない。この特性は、シリコン中への不純物の拡散を防止して絶縁膜の平坦性を高め、リーク電流の低減、LSIチップの素子間特性バラツキを抑えるという効果をもたらし、LSI製造の歩留まりおよび性能向上に極めて重要である。ゲート絶縁膜が分解しあるいは上下シリコン層と反応することは、従来当然のように得られていたこれらの効果が失われることを意味する。このため、歩留まりの低下のみならず、所望の性能を得ること自体が困難になることが予測される。

[0006] 従って、誘電率を SiO_2 よりも高くしつつ、かつLSIプロセスで用いられる温度において安定なゲート絶縁膜材料が求められている。

[0007] 上記要求を満たすための材料の一つとして、シリコン酸化物とシリコン以外の金属の酸化物との混合酸化物が検討されている。例えば、 $Ti-Si-O$ や、 $Zr-Si-O$ 、 $Hf-Si-O$ 、 $La-Si-O$ などがその典型的なものとして挙げられる。これらの材料は、1000°C以上の高温でも安定である。

[0008] しかしながら、こうした材料においては、シリコンを含有することによって、その比誘電率が著しく低下するという問題が生じる。例えば、金属の組成比1:1で調製された $Hf-Si-O$ の比誘電率は10—15である。現状のデバイスのゲート絶縁膜として使用される $SiON$ 等の実効的比誘電率を6程度と考えれば、これら検討されているシリコン含有金属酸化物の比誘電率による物理膜厚増加の効果は、たかだか $SiON$ の1.5倍程度にすぎない。こうした材料によるリーク電流の相対的低減が可能になったところで、おそらくそれは一世代のデバイスにしか利用されない短命な材料となることが予測される。

[0009] 例えば特開2003-8011号公報には、 Hf 又は Zr の一の金属、酸素及びシリコンを

含む高誘電率膜を有するゲート絶縁膜が記載されている。該公報には、この高誘電率膜の組成を M_xSi_yO (但し $x > 0$ 且つ $y > 0$)と表記したときに、誘電率と熱安定性の点から $0.23 \leq y/(x+y) \leq 0.90$ 、あるいは信頼性寿命と熱安定性の点から $0.23 \leq y/(x+y) \leq 0.30$ であることが好ましいことが記載されている。

発明の開示

発明が解決しようとする課題

[0010] 上述したように、従来の SiO_2 (または $SiON$)に代わるゲート絶縁膜用High-K材料は、非晶質性を高めるためにシリコンとシリコン以外の金属との合金酸化物を用いることが主流の技術となっている。しかしながら、その比誘電率はたかだか10程度となり、複数世代にわたって使用可能なゲート絶縁膜材料とはなり得ないものであった。

[0011] そこで本発明の目的は、ゲート絶縁膜に比誘電率の高いHigh-K材料を用いながら、低リーク特性に優れたMIS型電界効果トランジスタを備える半導体装置およびその製造方法を提供することにある。

課題を解決するための手段

[0012] 本発明は、シリコン基板と、前記シリコン基板上に形成され、窒素および酸素の少なくとも1種とシリコンとを含有する絶縁膜と、前記絶縁膜上に形成され、シリコン及びハフニウムを含む金属酸化膜と、前記金属酸化膜上に形成されたゲート電極とを具備し、前記金属酸化膜中のシリコンのモル比率($Si/(Si+Hf)$)が2%以上15%以下であるMIS型電界効果トランジスタを備える半導体装置を提供する。

なお、本発明におけるモル比率は百分率で示すものとする。

[0013] また、本発明は、金属原料として有機金属ハフニウムと有機金属シリコン、酸化剤として水を用いるシリコン及びハフニウムを含む金属酸化膜の気相成長方法であって、水の分圧を $1E-6$ Torr(1.33×10^{-6} Pa)以上、 $1E-5$ Torr(1.33×10^{-5} Pa)以下にすることを特徴とする金属酸化膜の形成方法を提供する。

発明の効果

[0014] 本発明の半導体装置によれば、ゲート絶縁膜に比誘電率の高いHigh-K材料を用いながら、低リーク特性に優れたMIS型電界効果トランジスタを有する半導体装置

が得られる。

[0015] また本発明の製造方法によれば、耐熱性に優れ且つ比誘電率の高いHigh-K材料からなるゲート絶縁膜が得られ、これにより、半導体装置の製造プロセスにおける熱処理時の特性劣化を抑制することができる。その結果、リーク電流が小さく、絶縁膜容量が非常に高い、MIS型電界効果トランジスタを形成でき、高速かつ低消費電力のシリコンLSIが得られる。

[0016] 本発明者らは、ハフニウムとシリコンを特定の組成範囲で含む金属酸化物をゲート酸化膜に用いると、その誘電率を高く維持しながら、高温加熱後のリーク特性が著しく向上することを見いたしました。本発明は、この知見に基づいてなされたものである。

発明の好適な実施の形態

[0017] 本発明の実施形態例の説明に先立って、本発明の原理を述べる。図1に、本発明の一実施形態例の方法で作製したMISFETの酸化膜換算膜厚(EOT)とゲートリーク電流(Jg)との関係を示す。

[0018] 製造に当たって、シリコン(100)面上に分離領域をもうけ、シリコンチャネル部にRTO法により SiO_2 を1.2nm形成し、MOCVD法によって HfO_2 膜又はシリコンのモル比率(Si/(Si+Hf))が13%であるHfSiO膜を形成した。その後、600°C10分のアニールを酸素分圧 5×10^{-3} Torrの条件下で行い、続いて800°C30秒の窒素中アニールを行った。この上に、ゲートポリシリコンを150nm形成した。この後、通常のプロセスによってMISFETを形成し、ゲートリーク電流と電気的ゲート膜厚を比較した。ソース／ドレインの活性化には1000°C10秒のランプ加熱を行った。

[0019] 図1に示すように、シリコンを含有しない HfO_2 をゲートに用いた場合には、電気的ゲート膜厚がその誘電率から予想される値よりも厚くなり、またゲートリークも大きかった。一方、HfSiOを用いた場合には、電気的ゲート膜厚は薄く、それより計算された誘電率は24であり HfO_2 の本来持つ誘電率と等しかった。また、ゲートリークも HfO_2 を用いた場合に比べて著しく少なかった。

[0020] 上述のとおり、本実施形態例の主な特徴は、MISFETのゲート絶縁膜を構成する材料として、ハフニウムとシリコンを特定の組成範囲で含む金属酸化物を用いることにある。耐熱性、すなわちソース・ドレイン活性化アニール後のゲートリーク特性は、

金属酸化膜中のシリコンのモル比率($\text{Si}/(\text{Si}+\text{Hf})$)が2%以上で優位な差が現れ、それ以上ではシリコン濃度による影響は少ない。一方、誘電率は、金属酸化膜中のシリコンのモル比率($\text{Si}/(\text{Si}+\text{Hf})$)が15%まではほとんど変化しないが、15%を超えると顕著に減少する。この関係を図2に示す。図2において、耐熱性は1000°C 10秒のソース・ドレイン活性化アニールを行ったMISFETのゲートリーク電流(閾値から-1Vの電圧)で示している。

[0021] MISFETのゲート絶縁膜は、上部ポリシリコン電極との反応、エッチングダメージ等の製造プロセスによる影響を受けやすい。このため、膜本来の特性を調べるため、上部メタル電極による以下のような実験を行った。 HfO_2 および HfSiO は、下地酸化膜 1. 2nm の上に所定の膜厚でそれぞれ成膜し、600°C 10分のアニールを酸素分圧 5×10^{-3} Torr の条件下で行い、続いて 800°C 30秒の窒素中アニールを行った。なお、XPS測定の結果、 HfSiO の Si のモル比率($\text{Si}/(\text{Si}+\text{Hf})$) は 13% であった。

[0022] 上記試料に、500°C 20分の水素アロイ処理を施した後、面積 $1.3 \times 10^{-4} \text{ cm}^{-2}$ の金電極を蒸着して、電圧-キャパシタンス(CV)特性、及び、電圧-電流(IV)特性を測定した。結果を図3及び図4に示す。このように、蒸着した金電極をもちいることにより、MISFETゲート形成時のプロセスによる影響を排除することができる。CV測定の結果より、 HfO_2 および HfSiO とともに、顕著な界面準位の存在は認められず、良好な特性を示している。物理膜厚を同じにした場合、電気的膜厚はほぼ同じであり、 HfSiO の誘電率が HfO_2 膜のものと同程度であることを示唆している。

[0023] 図5に酸化膜換算膜厚とゲートリーク電流との関係を示した。酸化膜換算膜厚は CV 測定により求めた。ゲートリーク電流は CV 測定より求めた閾値電圧 V_{fb} 値から -1V の電圧におけるリーク電流としてプロットした。 HfO_2 および HfSiO はほぼ同じリーク電流値を示した。図5より、シリコンを微量に添加した HfSiO 膜はシリコンを添加しない HfO_2 膜と同程度の酸化膜換算膜厚とゲートリーク電流特性を備えていることがわかる。このような上部金電極を用いた場合の特性に比較して、図1に示したように MISFET を形成した後の酸化膜換算膜厚とゲートリーク電流特性は、Si を添加しない HfO_2 の場合、酸化膜換算膜厚及びゲートリーク電流が共に増大する。一方、Si を微量添加した HfSiO の場合ではほぼ上部金電極を用いた場合の特性と同じになる。これ

は、MISFETプロセスにおける高温によって HfO_2 は劣化するが、シリコンを微量添加するとほとんど劣化しないということを示している。

[0024] 本発明の原理は主に以下に示す二点よりなると考えられる。

第一点は結晶構造の変化である。図6(a)及び(b)はそれぞれ、1. 2nmの SiO_2 上に HfSiO 及び HfO_2 を3. 5nm成膜し、1000°C、10秒のソース・ドレイン活性化アニール後のTEM写真(断面図および平面図)である。図6(b)に示すように、シリコンを添加しない場合には、 HfO_2 のグレインサイズは100nm～300nmであるが、図6(a)に示すように、シリコンを微量に含有すると、グレインサイズは100nm未満へ減少する。それにともなって、膜表面のラフネスもSiを含有しない場合に比べてシリコンを微量に含有すると改善され、平坦性が向上する。ゲートリークはhigh-k絶縁膜の凹部がウイークスポットとなって流れると考えられ、シリコンを微量に含有すると膜表面のラフネスが減少し、結晶化後のリーク特性が改善されるものと推察される。この観点から、本発明においては、金属酸化膜中の多結晶粒の直径を100nm未満に制御することが好ましい。また、多結晶粒の制御性や膜特性の点から多結晶粒の直径は30nm以上が好ましい。

[0025] 原理の第二点目は、シリコン濃度が少ない場合、結晶化した HfO_2 内にはシリコンがほとんど入らないことである。図7はTEM EELSにより測定した結晶中のシリコン濃度と膜全体のシリコン濃度の関係を示したものである。この図から、膜全体のシリコン濃度(モル比率($\text{Si}/(\text{Si}+\text{Hf})$))が15%までは結晶中にほとんどシリコンは存在せず、グレインバウンダリー(結晶粒界)に掃き出されているが、15%を超えると多量のシリコンが結晶中に導入されていることがわかる。結晶中にシリコンが導入されると、 HfO_2 の結晶性が崩れ、結晶性が高い HfO_2 結晶で得られる誘電率が減少し、アモルファス HfO_2 の誘電率に近づく。

[0026] 図2において、膜全体のシリコン濃度が15%に達するまでは、誘電率は導入された SiO_2 と HfO_2 結晶の体積比率によって漸減する。シリコン濃度が15%を超えると HfO_2 結晶内にSiが入り、 HfO_2 の結晶性を悪化させ、その結果として HfO_2 の誘電率を著しく減少させるために急激に膜全体の誘電率が減少するものと推察される。また、グレインバウンダリーに掃き出された SiO_2 によって、グレインバウンダリーに存在する、

いわゆるウイークスポットが埋められるために、高温における HfO_2 層と多結晶シリコン層との反応が抑制されたものと推察される。

[0027] 以上述べたように、微量に含有されるシリコンは、 HfO_2 の結晶化においてグレインの成長を阻害してグレインサイズを低下させ、その結果としてリーク電流が低減できる。それと共に、シリコン自身はグレインバウンダリーに掃き出されて結晶中には入らず、 HfO_2 結晶の結晶性を悪化させず、その結果として誘電率を減少させない。グレインサイズの低減効果はシリコン濃度が2%以上で顕在化する。一方、 HfO_2 結晶グレイン内へのシリコンの導入量はシリコン濃度が15%を超えると著しく増大する。従って、本発明の効果が十分に得られるのはシリコン濃度(モル比率(Si/(Si+Hf)))が2%以上15%以下の領域である。

[0028] 以下に、本発明の一実施形態例に係る製造方法を、従来技術のハフニウム酸化膜の製造方法と比較しながら、図面を参照して説明する。

[0029] 図8(a)ー(d)に、原子層成長法といわれる従来法によるハフニウム・シリコン酸化膜の製造方法を模式的に示す。この方法においては、図示するようにシリコン基板上にシリコン酸化膜を形成し(図8(a))、ハフニウム原料を吸着させ(図8(b))、その後、水を供給して、吸着したハフニウム原料を酸化する(図8(c))。水を十分にページした後、再びハフニウム原料を導入し、酸化したハフニウム上に吸着させる(図8(b))。この工程を繰り返すことによって HfO_2 の成膜を行い、最終的にアニールにより膜の焼き締めを行う(図8(d))。 HfO_2 にシリコンを含有させる場合には、その濃度に相当するサイクルごとにSi原料を供給し、 HfO_2 と SiO_2 の層状構造を形成する。このような成膜方法は、膜厚の均一性、段差被覆性に優れる。しかしながら、このように層状に成膜を行う方法は、何回も供給と排気を繰り返す必要があるためにスループットが低く、特にアミド系原料のように水と激しく反応する原料を用いた場合は、水のページ時間が長くなり、さらにスループットの低下を招く。また、Si濃度が少ないハフニウム・シリコン酸化膜を形成する場合、膜中の SiO_2 層同士の間隔が広くなり、膜中の組成分布が不均一となる。

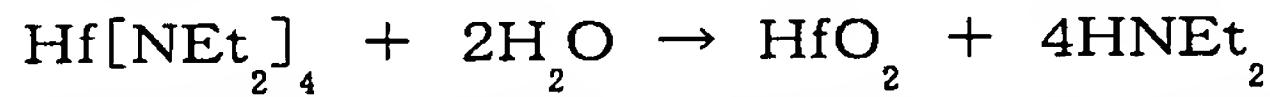
[0030] 上記問題点を解決するために、基板温度を上げてHf原料と酸素を同時に照射するCVD法が提案されている。Siを含有させる場合には、Si原料も同時に導入し、膜

中シリコン濃度はHf原料とSi原料の流量比によって制御することができる。このような方法を用いると、SiとHfが均一に混合した膜を形成することが可能になる。しかしながら、酸化剤として酸化力の弱い酸素を用いているために、基板温度を高める必要があり、このような条件下では、下地Si基板の再酸化が起り、 HfO_2 層あるいは $HfSiO$ 層とSi基板との間に厚い遷移層が形成されてゲートの電気的膜厚を増加させてしまうという問題がある。

[0031] 図9(a)～(d)に、本発明のシリコン含有ハフニウム酸化膜($HfSiO$ 膜)の製造プロセスを模式的に示す。まず、図示するようにシリコン基板上にRTO等によりシリコン酸化膜を形成する(図9(a))。このシリコン酸化膜に代えて、或いはこの酸化膜上に、シリコン窒化膜やシリコン酸窒化膜を設けてもよい。次に、MOCVD法により、このシリコン酸化膜上へ、Si原料とHf原料と水の同時照射を行って成膜する(図9(b))。次に、酸化性雰囲気下でアニールを行い(図9(c))、その後に不活性雰囲気下でアニールを行う(図9(d))。

[0032] 一般的に有機Hf原料及び有機Si原料は水との反応性が高く、特にアミド系原料は水と激しく反応する。そのため、成膜工程においては水分圧の制御が重要であり、 $10^{-6} \sim 10^{-5}$ Torr($1.33 \times 10^{-4} \sim 1.33 \times 10^{-3}$ Pa)に成膜装置内の水分圧を制御することが必要である。

[0033] 図10は、MOCVD法によるテトラキスジエチルアミノハフニウム($Hf[NEt_2]_4$)を用いた HfO_2 の成膜時における水分圧と、膜中不純物量(膜中炭素量および膜中OH基量)との関係を示したものである。この図から、成膜装置内の水分圧が $10^{-6} \sim 10^{-5}$ Torr($1.33 \times 10^{-4} \sim 1.33 \times 10^{-3}$ Pa)の時に膜中炭素量とOH基量をいずれも低く抑えることができる。テトラキスジエチルアミノハフニウム($Hf[NEt_2]_4$)と水との反応は、



と記述される。Hf原料中の有機基はジエチルアミンとなり離脱するが、水の分圧が 10^{-6} Torr(1.33×10^{-4} Pa)以下になると未反応の有機基に由来する炭素が膜中に取り込まれ、リークの原因となる。また、水分圧が 10^{-5} Torr(1.33×10^{-3} Pa)を超えると水に起因するOH基が膜中に残り、信頼性を著しく低下させる。

[0034] 成膜時の基板温度は450°C以下が望ましい。これは、テトラキスジエチルアミノハフニウム(Hf[NEt₂]₄)が450°C以上で熱分解を起こし、水によって有機基を有効に離脱させることができ難となり、膜中に多量の炭素が導入されるからである。一方、成膜速度等の観点から成膜時の基板温度は150°C以上が好ましい。

[0035] 本成膜方法では、成膜装置内の水分圧を、水の導入量と排気量を一定にすることによって上記の範囲内に制御することができる。このとき、装置内壁の温度を120°C以上に上げて、内壁に水を吸着させないことも有効である。また、マスフィルター等によって装置内の水分圧を測定し、水の導入量を調節することによって、装置内の水分圧を一定に保つこともできる。

[0036] HfSiOの成膜について、さらに具体的な成膜条件を挙げて説明する。
まず、8インチのP型ウェハを基板として、表面に1.2nmの熱酸化膜を形成した。次に、この熱酸化膜上に、テトラキスジエチルアミノハフニウム(Hf[NEt₂]₄)およびトリスジメチルアミノシリコン(HSi[NM₂t₃])を、H₂Oと同時供給することにより成膜を行った。成膜温度は400°Cとした。その後、付設されたチャンバ内で600°C、10分のアニールを酸素分圧5×10⁻³Torr(0.665Pa)の条件下で行った。

[0037] 図11に、Hf原料の流量を0.6sccmに固定したときの、Si原料の流量と膜中のSi濃度(モル比率(Si/(Si+Hf)))との関係を示す。Si濃度は試料表面のXPS測定により見積もった。図11から、Si原料の導入量を増加させるほど、膜中へのSiの取り込み量が多くなることがわかる。Si原料の流量が5sccmを超えるとSi濃度の増加が飽和する傾向があるものの、Si原料を導入することにより、少なくともSi濃度が40%程度までのシリケート膜を形成することが可能である。

[0038] 図12に、成膜後の8インチウェハ中央部および周辺30mm(中心より70mm)の部分での、Si₂pのXPSスペクトルを示す。2つのスペクトルにおいて、それぞれのシリケート起因のピークとSi基板からのピークは同じ強度であり、ウェハ面内で組成の均質なシリケート膜が形成されていることが確認できる。

[0039] また、金属酸化膜形成時、途中で成膜を中断し、500°C以上で酸化性雰囲気中アニールを行い、その後に再び、所定の膜厚に達するまで成膜を行ってもよい。これにより、前記金属酸化膜中の不純物炭素量をさらに効果的に減少させ、その結果とし

て、リーク電流、膜中電荷をさらに減少させることができる。成長中断は厚み1nmごとに行なうことがさらに効果的であり、特に第一層目に行なうアニールは大きな効果を及ぼす。

[0040] 上述の成膜工程の後には、酸化性雰囲気下でアニールを行うことが好ましい。これにより、膜中の残留炭素を減少させ、また酸素欠損を回復することができる。このアニールは、十分な効果を得る点から、500°C以上で行なうことが好ましい。また、効率性等の点から、800°C以下で行なうことが好ましく、700°C未満で行なうことがより好ましい。また、アニール時間は、処理温度に応じて、例えば1分～30分の範囲に適宜設定することができる。

[0041] 上述の成膜工程中および成膜工程後のアニールの酸化性雰囲気は、酸化性ガス中、あるいはヘリウム、ネオン、アルゴン等の希ガスや窒素ガス等の他の不活性ガスと酸化性ガスとの混合ガスを用いることができる。酸化性ガスとしては、酸素、オゾン、NO、N₂O等を用いることができる。酸化性雰囲気中の酸化性ガスの圧力は例えば10⁻⁴Torr(1.33×10⁻²Pa)以上、大気圧以下の範囲で適宜設定することができる。

[0042] また、成膜工程の後あるいは酸化性雰囲気下のアニールの後に、不活性雰囲気下でアニールを行うことが好ましい。このアニールはRTAにより良好に行なうことができる。このアニールを行うことにより、膜中の構造欠陥をアニールアウトし、膜を緻密化することができ、その結果、SiO₂換算膜厚を減少させるとともにリーク電流を低下させることができる。このアニールは、十分な効果を得る点から、700°C以上で行なうことが好ましい。また、効率性等の点から、1000°C以下で行なうことが好ましく、900°C以下で行なうことがより好ましい。また、アニール時間は、処理温度に応じて、例えば10秒～5分の範囲に適宜設定することができる。酸化性雰囲気下のアニール後にこの不活性雰囲気下のアニールを行う場合は、酸化性雰囲気下のアニールの温度より高い温度で行なうことが好ましい。不活性雰囲気は、ヘリウム、ネオン、アルゴン等の希ガスや、窒素ガス、あるいはこれらの混合ガスの雰囲気を用いることができる。

[0043] さらに、上述のHfSiO膜へ、成膜後に窒素を導入してもよい。窒素の導入は、例えば、アンモニア雰囲気中800°C程度でのアニール処理、あるいは400°C程度での窒素ラジカル処理により行なうことができる。これにより、上述の効果を確保し、良好な特

性を維持しつつ、ゲート電極からのホウ素の突き抜けを抑制することが可能である。

[0044] また、上述のHfSiO膜上にSiN等のシリコン窒化膜を堆積してもよい。これにより、上部ポリシリコンとの反応抑制、ホウ素のつきぬけ抑制、ホウ素、リン等の不純物のHfSiO膜中への拡散を抑制することができ、結果、HfSiO膜中の固定電荷を減少させ、高い移動度が得られる。

[0045] 以上説明したように、本発明における絶縁膜は、高い比誘電率を有しながら、耐熱性に優れ、低リーク特性に極めて優れたゲート絶縁膜を形成することができる。また本発明の製造方法によれば、このような特性を有する絶縁膜を容易に形成することができる。

[0046] 以下、図面を参照しつつ、本発明の一実施形態例に係るMISFET(Metal-Insulator-Semiconductor Field Effect Transistor)及びその製造方法を説明する。図13に、本実施形態例のMISFETの模式的断面構造を示す。

図示するように、分離領域2を有するシリコン基板1上には、ゲート電極8／金属酸化膜7／界面絶縁膜6の積層からなるMIS構造が形成されており、ゲート電極8はゲート側壁9に取り囲まれている。シリコン基板1中には、高濃度に不純物を拡散した深い拡散領域3、浅い拡散領域4およびサリサイド5が、MIS構造に対して自己整合的に形成されている。

[0047] 次に、図14(a)～(d)を参照して本実施形態例のMISFETの製造方法を説明する。

まず、通常の工程により素子分離領域2を設けたシリコン基板1を準備する。この基板を希HF水溶液で処理してシリコン基板表面の自然酸化膜を除去し、RTA(Rapid Thermal Annealing)法等によって厚み1.2nmの熱酸化膜6を形成する。この酸化膜厚は最終的に必要となる電気的膜厚によって適宜調整することができるが、厚いほど信頼性が向上する。

[0048] 次に、MOCVD法により、Si濃度10%の金属酸化膜7(HfSiO膜)を3.5nm堆積する。その際、基板温度400°C、成膜原料としてテトラキスジエチルアミノハフニウム($\text{Hf}[\text{NEt}_2]_4$)及びトリスジメチルアミノシリコン($\text{HSi}[\text{NMt}_2]_3$)を用い、 H_2O との同時供給をすることにより成膜を行った(図14(a))。水はマスフローコントロ

ーラによって流量を制御し、成膜中の水分圧は 8×10^{-6} Torr(1.064×10^{-3} Pa)とした。成膜時間は5分とした。Hf原料は87°Cの容器より流量20sccmの窒素キャリアガスのバブリングにより輸送し、Si原料はマスフローコントローラによって流量を制御して供給した。Si原料の温度は48°Cとした。

[0049] 成膜後、600°C10分のアニールを酸素分圧 5×10^{-3} Torr(0.665Pa)の条件下で行い、続いて800°C30秒の窒素中アニールを行った。

[0050] こうして形成された金属酸化膜7上にポリシリコン膜8を形成した(図14(b))。ゲート電極材料としては、ポリシリコンの他、高融点金属およびその窒化物など、任意のものを使用することができる。

[0051] 引き続き、ポリシリコン膜8を所望の形状に加工してゲート電極を形成した後、このゲート電極形状に自己整合的に浅い拡散層領域4を形成する(図14(c))。本実施形態例においてゲート電極8の加工時には、金属酸化膜7および界面絶縁膜6は加工されずに、シリコン表面の活性領域に残されている。したがって、浅い拡散層領域4を形成するためのイオン注入は、これらの絶縁膜を介して行なわれる。金属酸化膜7および界面絶縁膜6を除去した後に、イオン注入することにより、浅い拡散層領域を形成することもできる。

[0052] 次に、イオン注入されたゲート電極の活性化熱処理(1000°C以上)を行った後、ゲート側壁9を形成した。その後、深い拡散層3を形成し、拡散層の熱活性化(900°C程度)を行った(図14(d))。

[0053] 次に、深い拡散層3の上部の金属酸化膜7および界面絶縁膜6を除去し、その後に通常の工程でサリサイド5を形成し、図13に示されるMISFETを得た。

[0054] 上述したMISFETは、現在通常に用いられている工程に本願発明を応用した実施形態例を述べたが、ゲート絶縁膜としてシリコン酸化膜を用いてゲート構造を作りこんだ後、ゲート電極であるポリシリコンおよびゲート絶縁膜であるシリコン酸化膜を除去して、そこに本願発明によるゲート絶縁膜を形成し、再びゲート電極となるポリシリコンを形成する、いわゆる、リプレースメント型の工程にも応用しても、同様に良好な結果が得られる。また、ゲート電極となるポリシリコンがメタルに置き換えられた、いわゆるメタルゲート構造においても、同様に良好な結果が得られる。

図面の簡単な説明

[0055] [図1]図1は、MISFETの酸化膜換算膜厚(EOT)とゲートリーク電流(J_g)との関係を示すグラフである。

[図2]図2は、ゲート絶縁膜を構成する金属酸化膜中のシリコン濃度(モル比率: $Si/(Si+Hf)$)とゲートリーク電流との関係を示すグラフである。

[図3]図3は、金電極を用いて測定した HfO_2 膜および $HfSiO$ 膜のCV特性を示すグラフである。

[図4]図4は、金電極を用いて測定した HfO_2 膜および $HfSiO$ 膜の電圧とリーク電流の関係を示すグラフである。

[図5]図5は、MISFETの酸化膜換算膜厚(EOT)とゲートリーク電流(J_g)との関係を示すグラフである。

[図6]図6(a)及び6(b)はそれぞれ、アニール後における SiO_2 上の $HfSiO$ 膜及び HfO_2 膜のTEM写真である。

[図7]図7は、TEM EELSにより測定した結晶中のシリコン濃度と膜全体のシリコン濃度の関係を示すグラフである。

[図8]図8(a)ー(d)はそれぞれ、原子層成長法による従来のハフニウム・シリコン酸化膜の製造方法の一工程を示す模式的断面図である。

[図9]図9(a)ー(d)はそれぞれ、本発明の一実施形態例における $HfSiO$ 膜の形成方法の一工程を示す模式的断面図である。

[図10]図10は、MOCVD法による HfO_2 の成膜時における水分圧と、膜中不純物量(膜中炭素量および膜中OH基量)との関係を示すグラフである。

[図11]図11は、MOCVD法による $HfSiO$ 膜の成膜において、Hf原料の流量を固定したときの、Si原料の流量と膜中Si濃度(モル比率 $Si/(Si+Hf)$)との関係を示すグラフである。

[図12]図12は、本発明の一実施形態例の方法により成膜されたウェハ表面のXPSスペクトル線図である。

[図13]図13は、本発明の一実施形態例のMISFETの模式的断面図である。

[図14]図14(a)ー(d)はそれぞれ、本発明の一実施形態例のMISFETの製造方法

の一工程段階を示す断面図である。

請求の範囲

[1] シリコン基板と、
前記シリコン基板上に形成され、窒素および酸素の少なくとも1種とシリコンとを含有する絶縁膜と、
前記絶縁膜上に形成され、シリコン及びハフニウムを含む金属酸化膜と、
前記金属酸化膜上に形成されたゲート電極とを具備し、
前記金属酸化膜中のシリコンのモル比率(Si/(Si+Hf))が2%以上15%以下であるMIS型電界効果トランジスタを備えることを特徴とする半導体装置。

[2] 前記金属酸化膜中の多結晶粒の直径は30nm以上100nm未満であることを特徴とする請求項1に記載の半導体装置。

[3] 前記金属酸化膜上にシリコン窒化膜を有するMIS型電界効果トランジスタを備えることを特徴とする請求項1又は2に記載の半導体装置。

[4] 金属原料として有機金属ハフニウムと有機金属シリコン、酸化剤として水を用いるシリコン及びハフニウムを含む金属酸化膜の気相成長方法であって、水の分圧を1E-6Torr(1. 33×10⁻⁴Pa)以上、1E-5Torr(1. 33×10⁻³Pa)以下にすることを特徴とする金属酸化膜の形成方法。

[5] 前記有機金属シリコンがトリスジメチルアミノシランであることを特徴とする請求項4に記載の金属酸化膜の形成方法。

[6] 前記有機金属ハフニウムがテトラキスジエチルアミノハフニウムであることを特徴とする請求項4に記載の金属酸化膜の形成方法。

[7] 前記有機金属シリコンがトリスジメチルアミノシランであることを特徴とする請求項6に記載の金属酸化膜の形成方法。

[8] 前記金属酸化膜形成時の基板温度が150°C以上450°C以下であることを特徴とする請求項4～7の何れか1項に記載の金属酸化膜の形成方法。

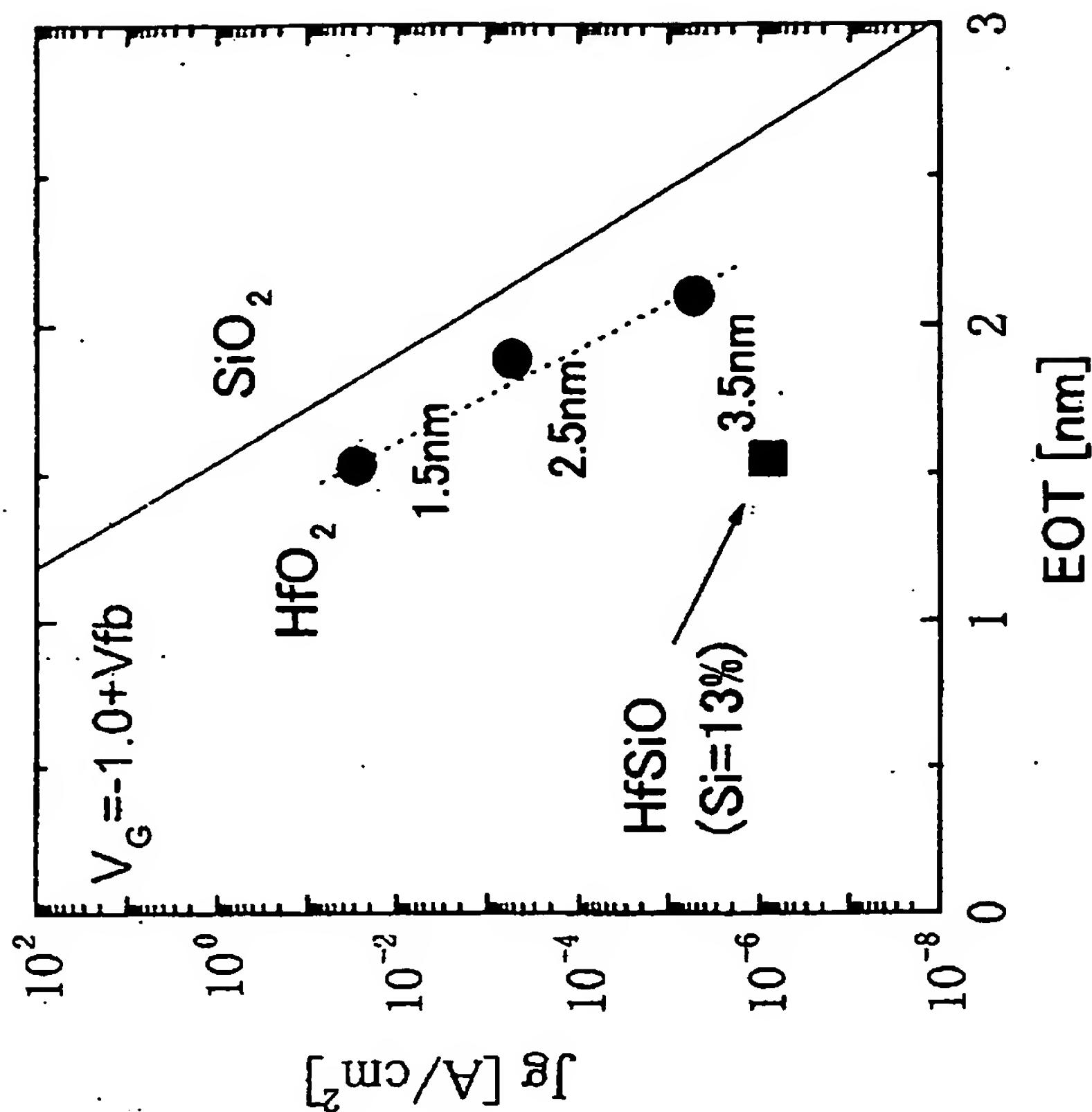
[9] 前記金属酸化膜形成時、途中で成膜を中断し、500°C以上で酸化性雰囲気中アニールを行い、その後に再び、所定の膜厚に達するまで成膜を行うことを特徴とする請求項8に記載の金属酸化膜の形成方法。

[10] 前記金属酸化膜形成時、途中で成膜を中断し、500°C以上で酸化性雰囲気中ア

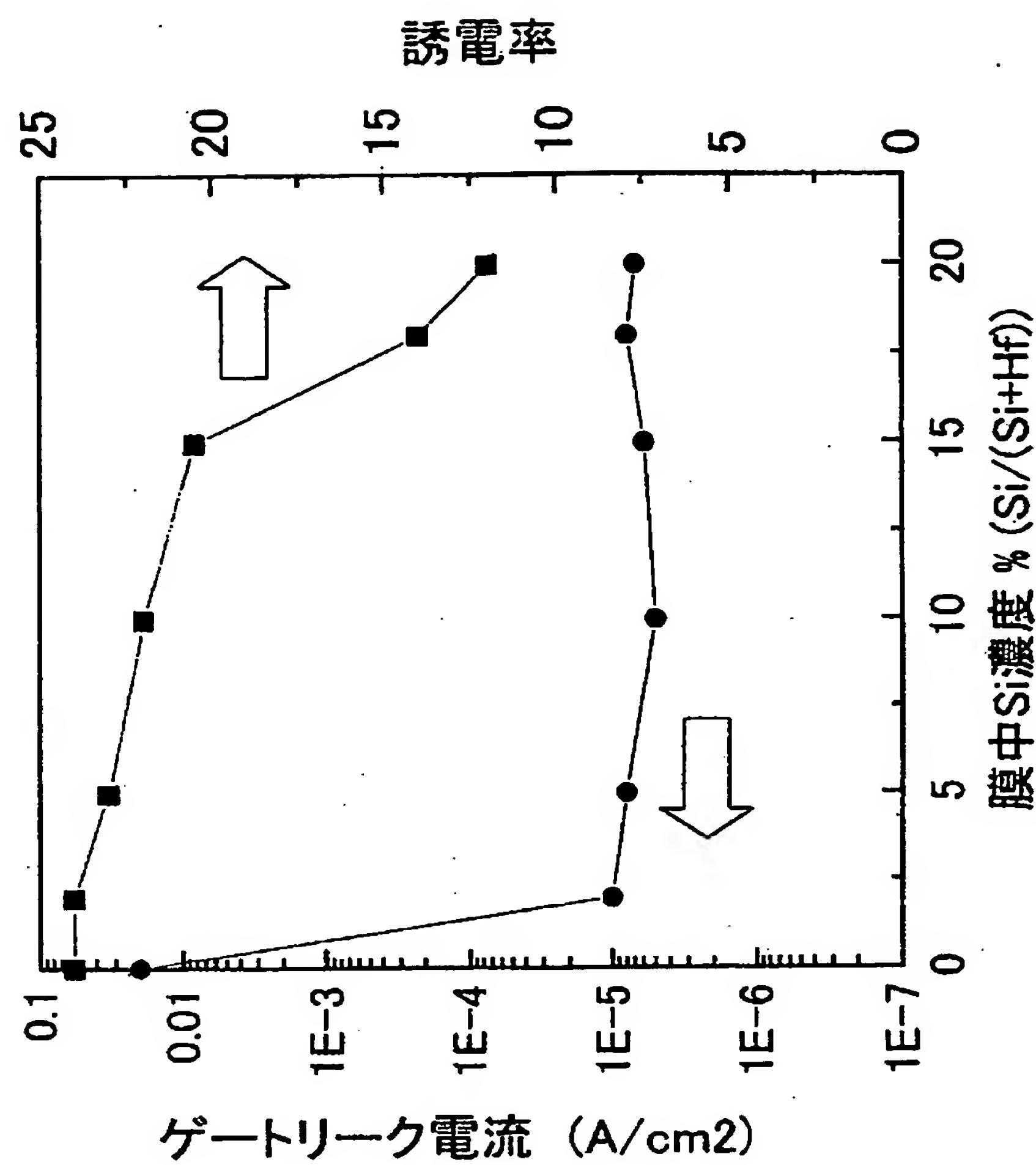
ニールを行い、その後に再び、所定の膜厚に達するまで成膜を行うことを特徴とする4ー7の何れか1項に記載の金属酸化膜の形成方法。

- [11] 前記金属酸化膜形成時、膜厚が1nm以下で成膜を中断し、500°C以上で酸化性雰囲気中アニールを行い、その後に再び、所定の膜厚に達するまで成膜を行うことを特徴とする請求項10に記載の金属酸化膜の形成方法。
- [12] 前記金属酸化膜形成後、酸化性雰囲気下500°C以上でアニールを行うことを特徴とする請求項11に記載の金属酸化膜の形成方法。
- [13] 前記金属酸化膜形成後、酸化性雰囲気下500°C以上でアニールを行うことを特徴とする請求項4ー7のいずれか1項に記載の金属酸化膜の形成方法。
- [14] 前記金属酸化膜形成後、不活性ガス雰囲気下700°C以上でアニールを行うことを特徴とする請求項12に記載の金属酸化膜の形成方法。
- [15] 前記金属酸化膜形成後、不活性ガス雰囲気下700°C以上でアニールを行うことを特徴とする請求項4ー7のいずれか1項に記載の金属酸化膜の形成方法。
- [16] 請求項1ー3の何れか1項に記載の半導体装置を製造する方法であって、前記金属酸化膜を、請求項4ー7のいずれか1項に記載の金属酸化膜の形成方法により形成することを特徴とする半導体装置の製造方法。
- [17] 請求項1ー3の何れか1項に記載の半導体装置を製造する方法であって、前記金属酸化膜を、請求項9に記載の金属酸化膜の形成方法により形成することを特徴とする半導体装置の製造方法。
- [18] 請求項1ー3の何れか1項に記載の半導体装置を製造する方法であって、前記金属酸化膜を、請求項11に記載の金属酸化膜の形成方法により形成することを特徴とする半導体装置の製造方法。
- [19] 請求項1ー3の何れか1項に記載の半導体装置を製造する方法であって、前記金属酸化膜を、請求項12に記載の金属酸化膜の形成方法により形成することを特徴とする半導体装置の製造方法。
- [20] 請求項1ー3の何れか1項に記載の半導体装置を製造する方法であって、前記金属酸化膜を、請求項14に記載の金属酸化膜の形成方法により形成することを特徴とする半導体装置の製造方法。

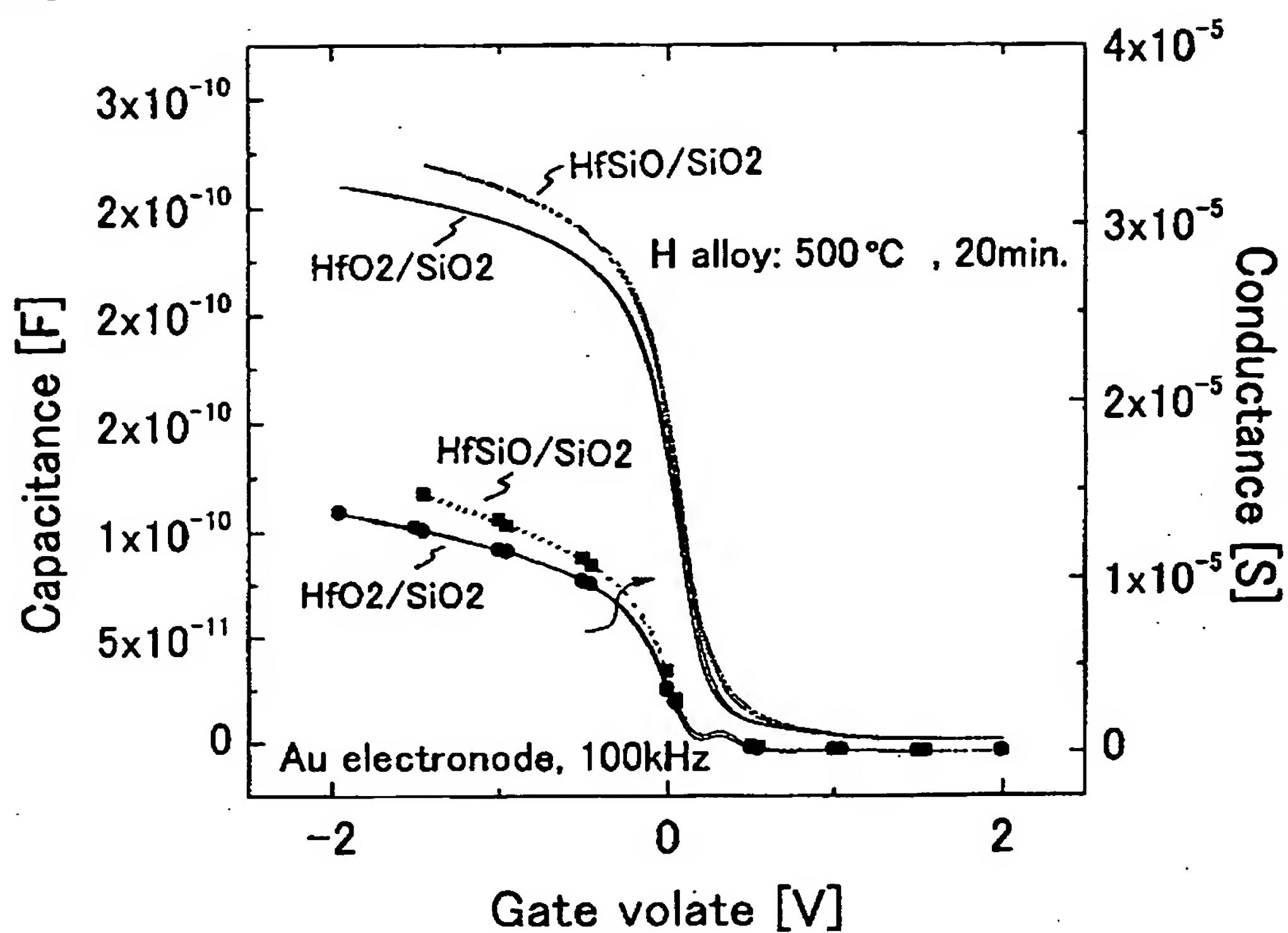
[図1]



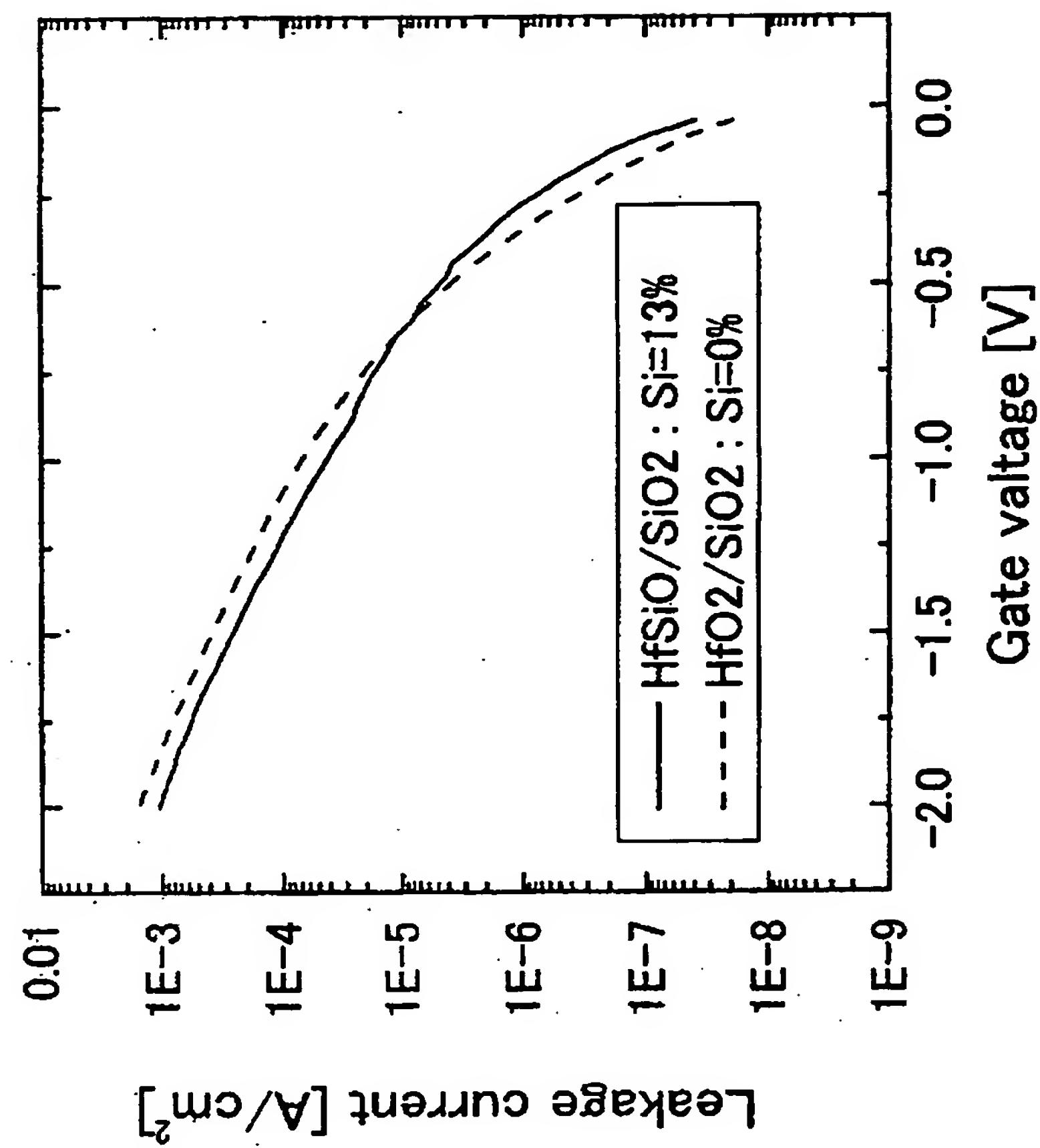
[図2]



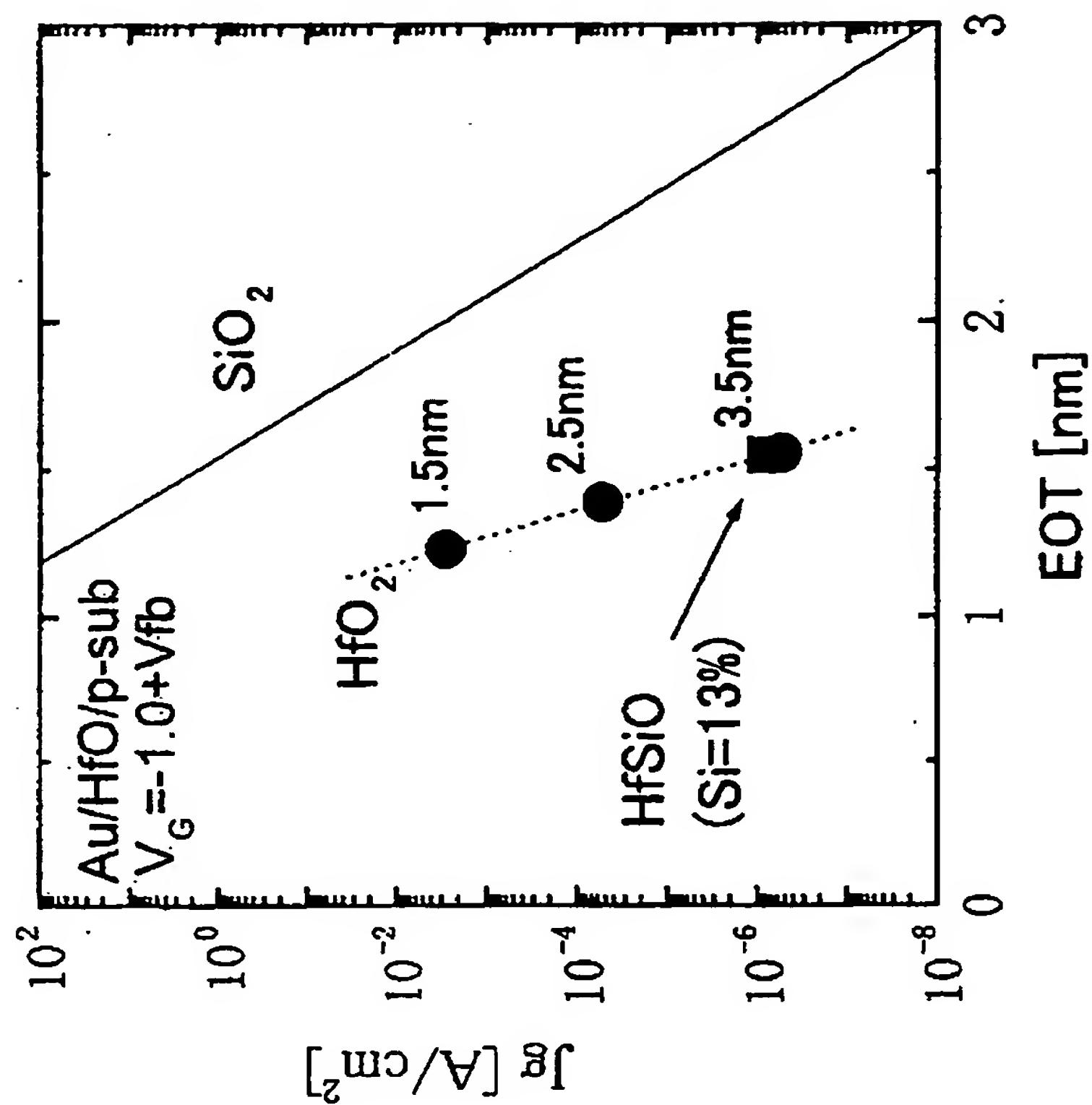
[図3]



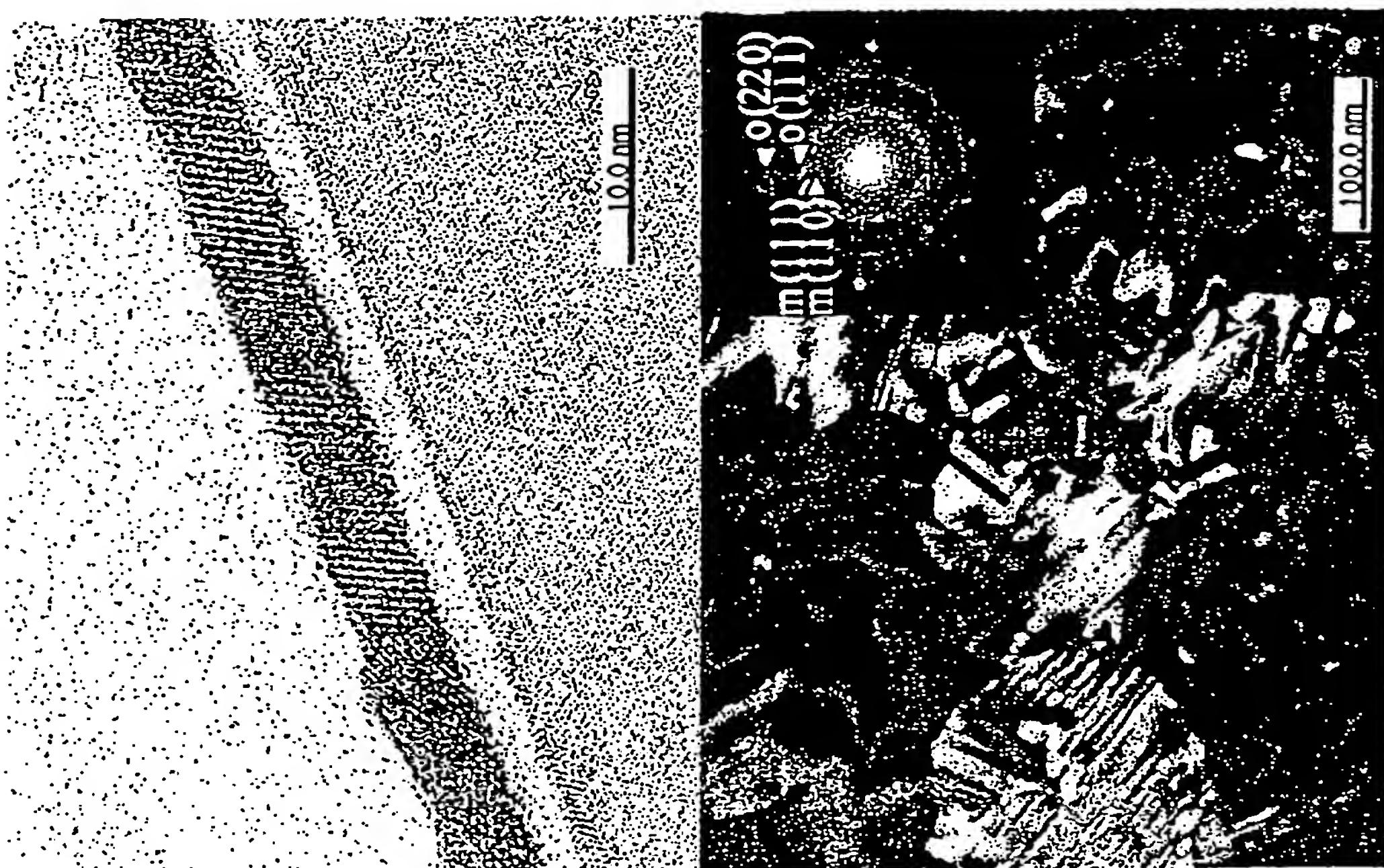
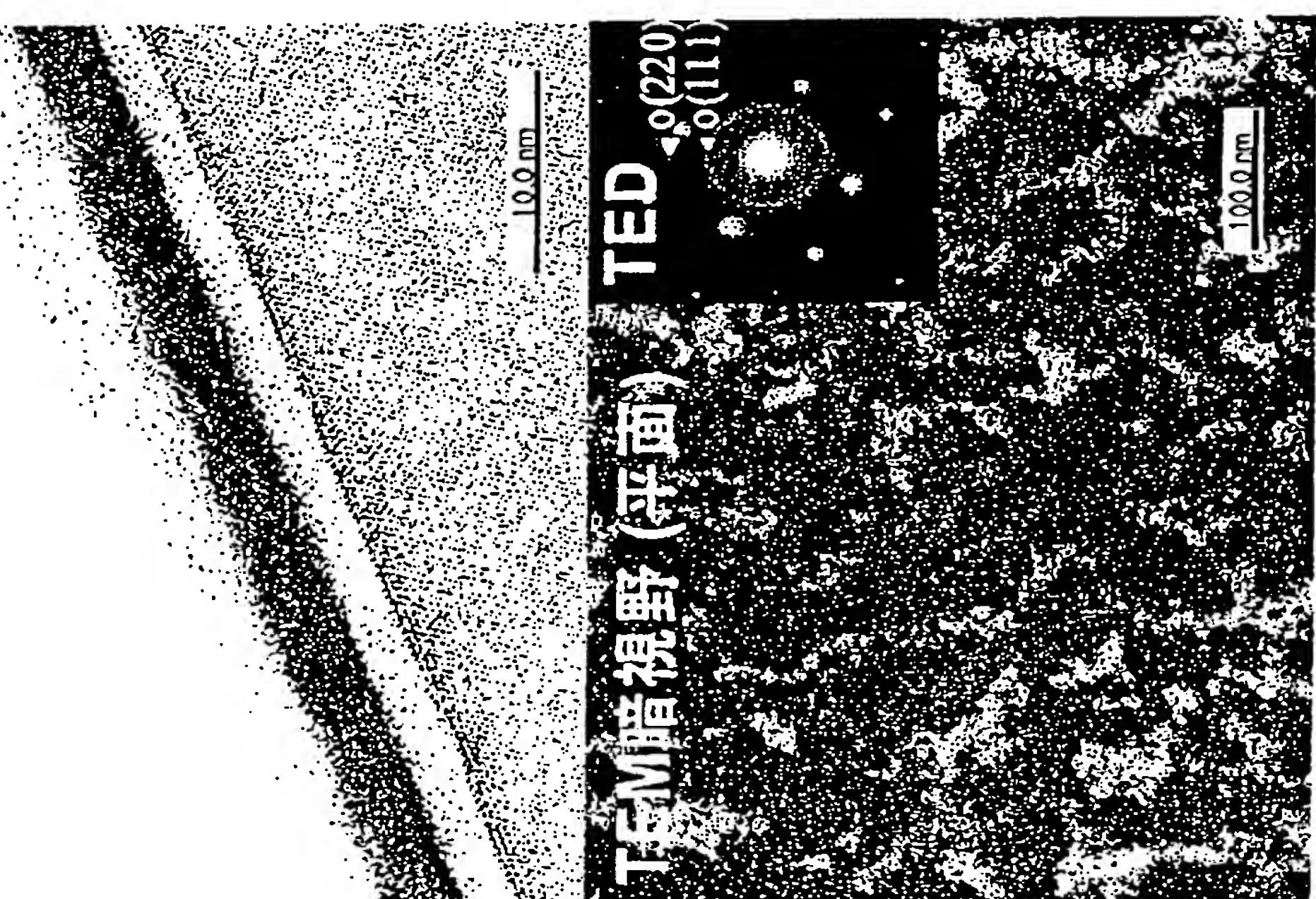
[図4]



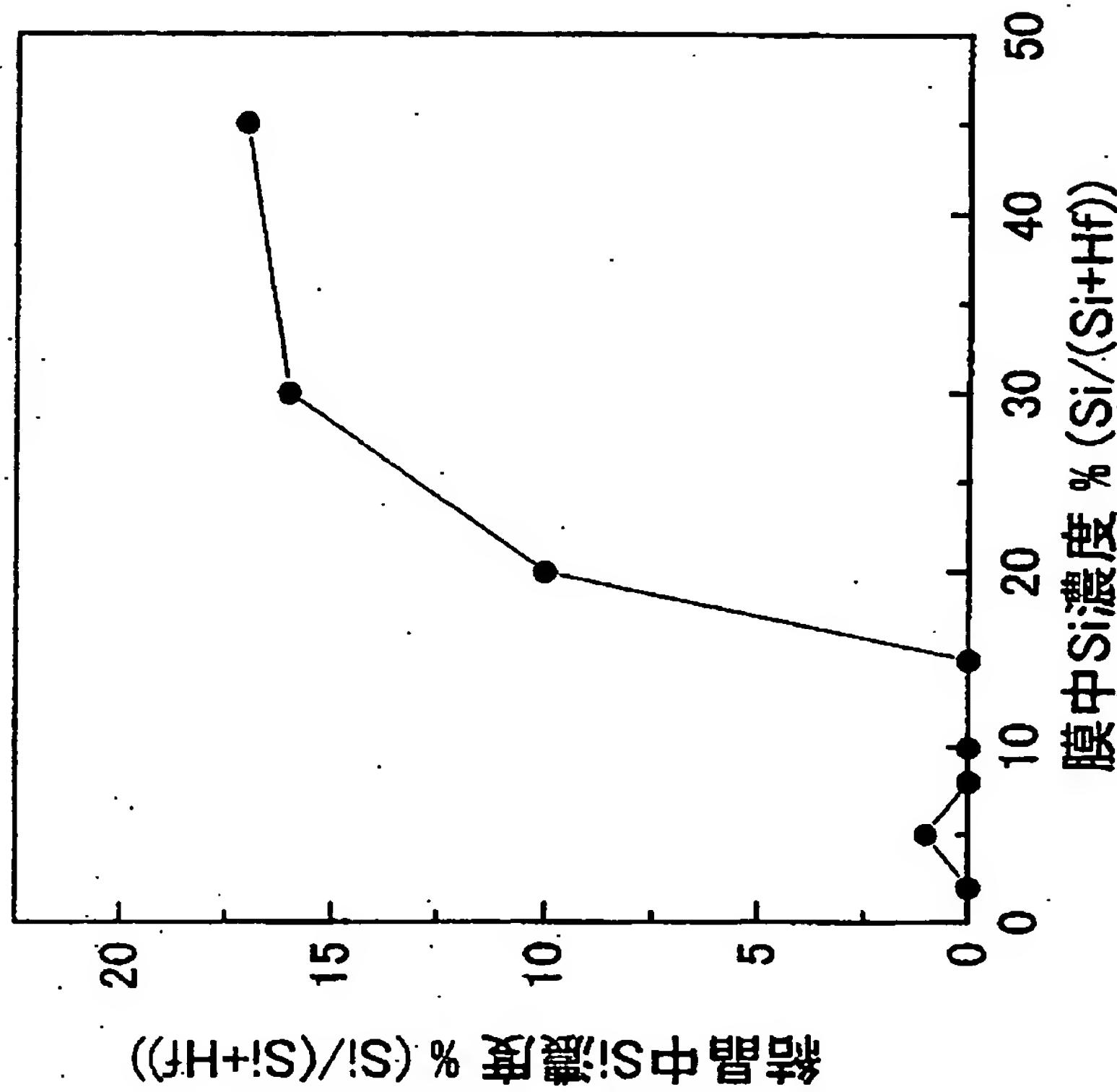
[図5]



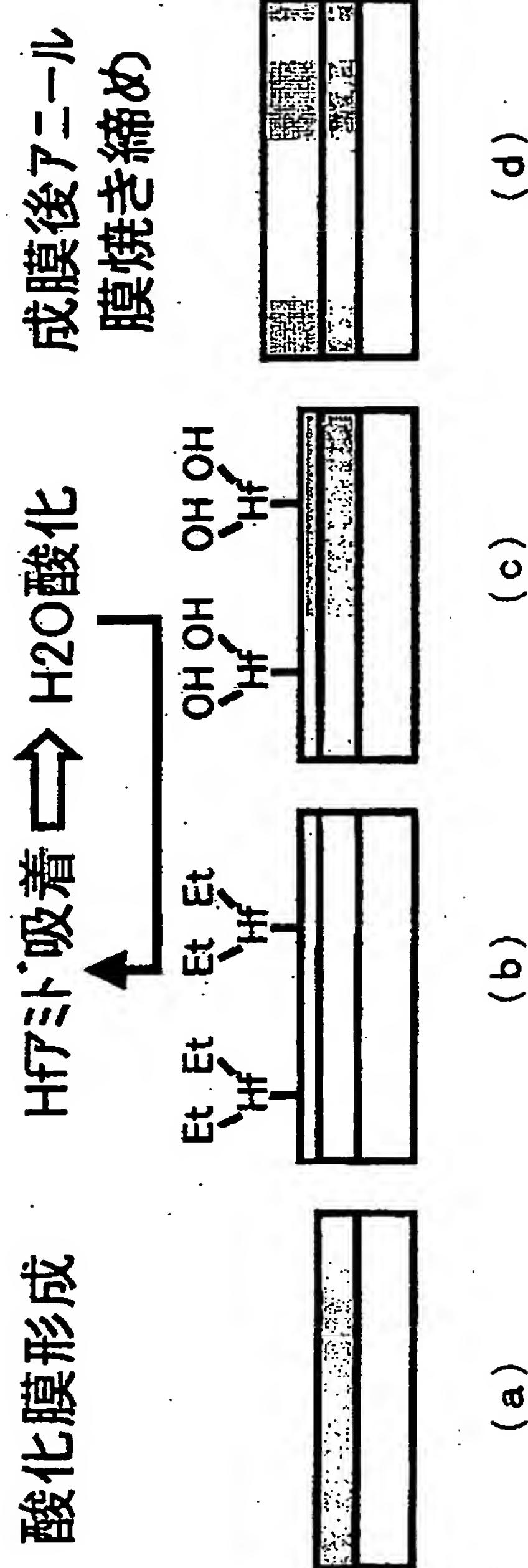
[図6]

(b) HfO_2 (a) HfSiO
TEM (断面)

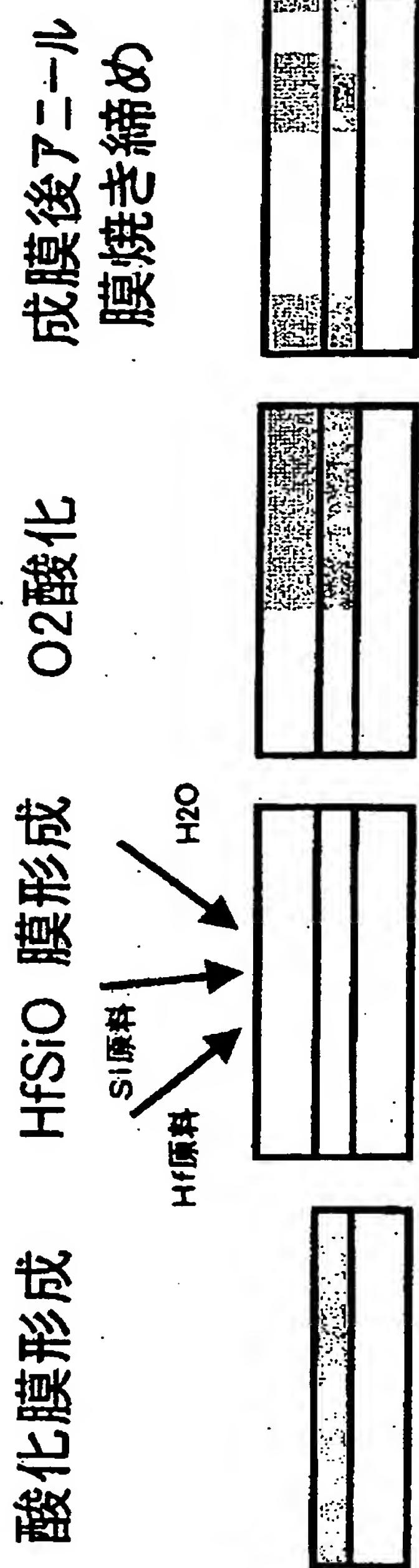
[図7]



[図8]



[図9]



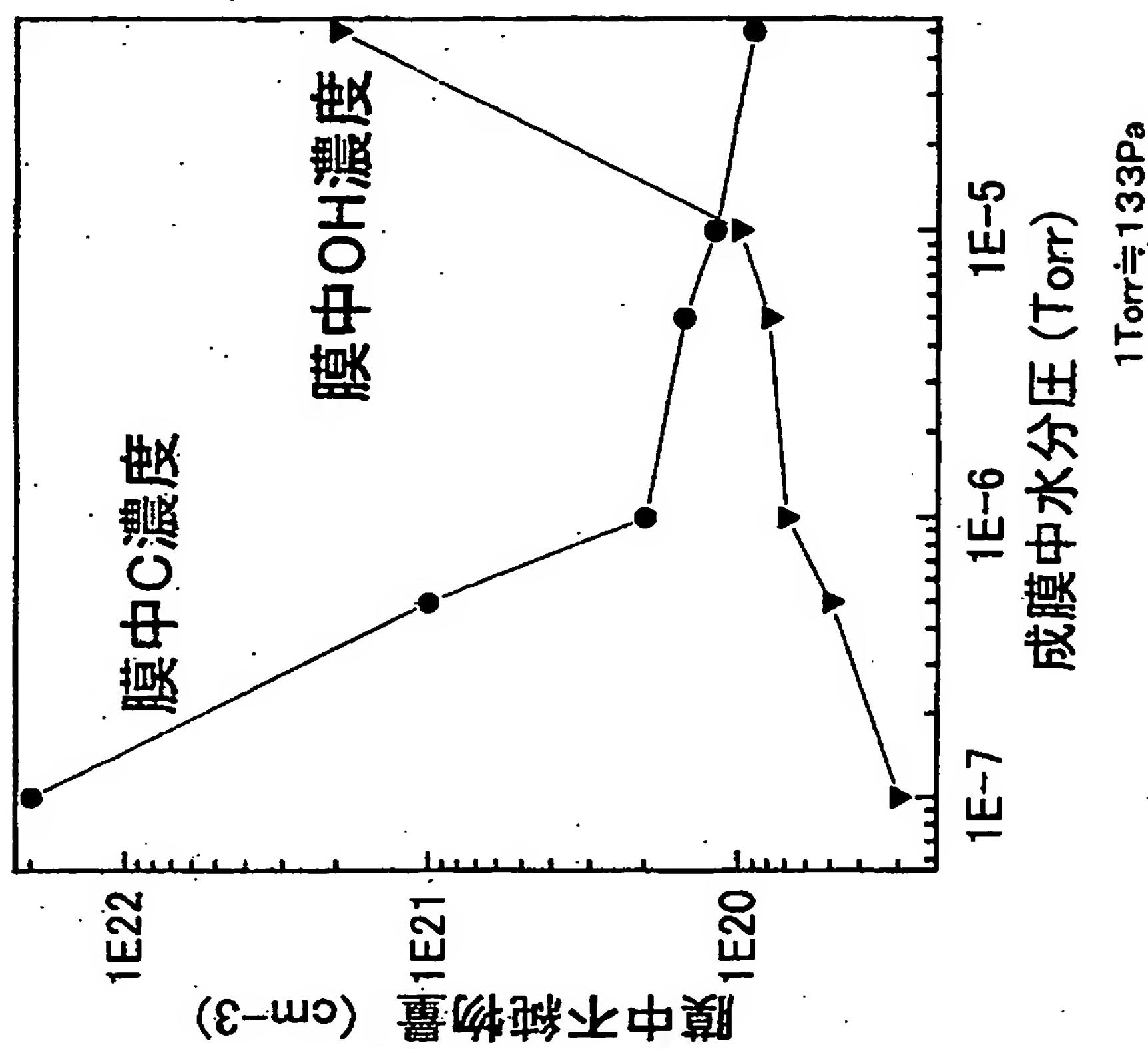
(a)

(c)

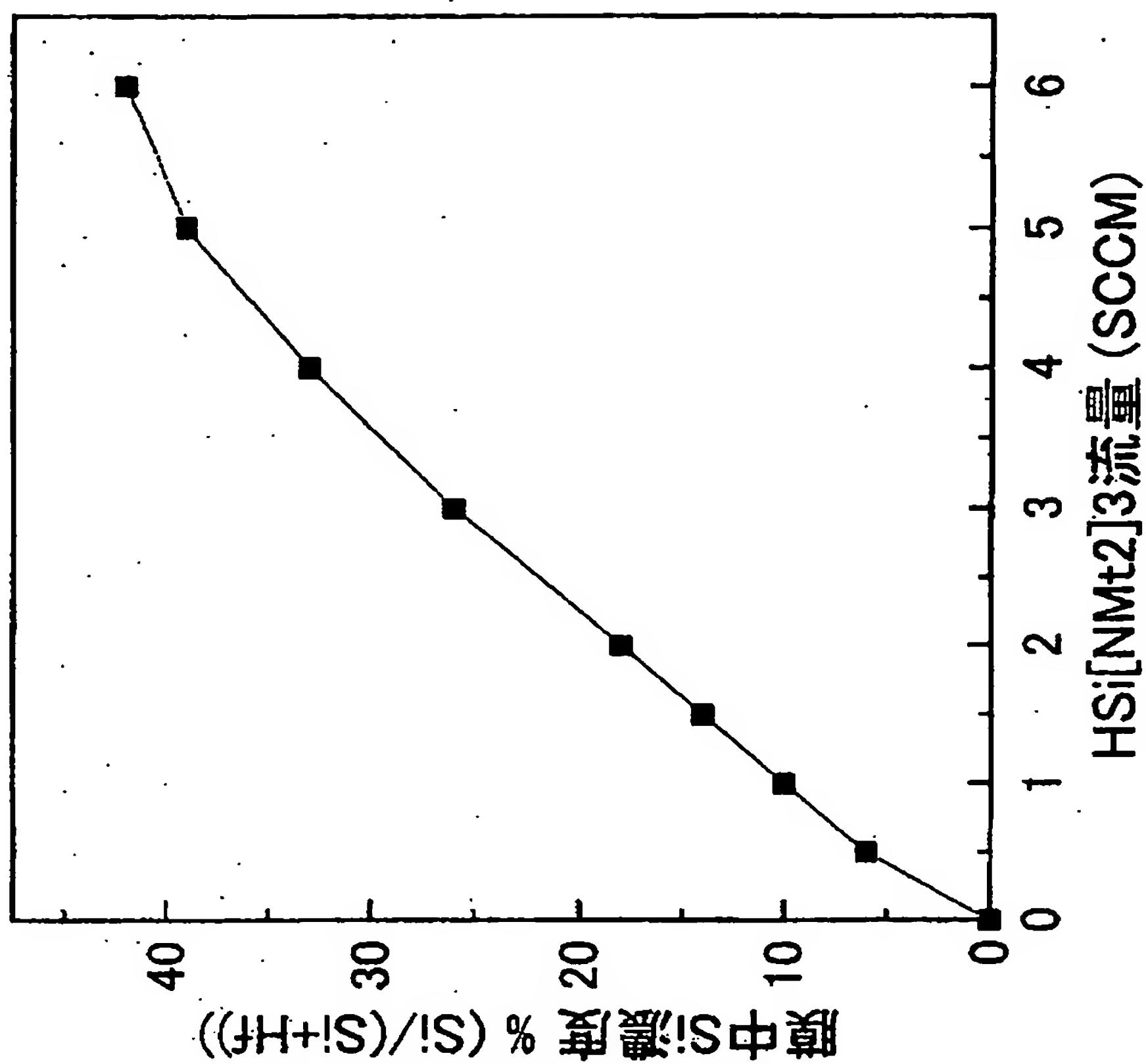
-(b)-

(d)

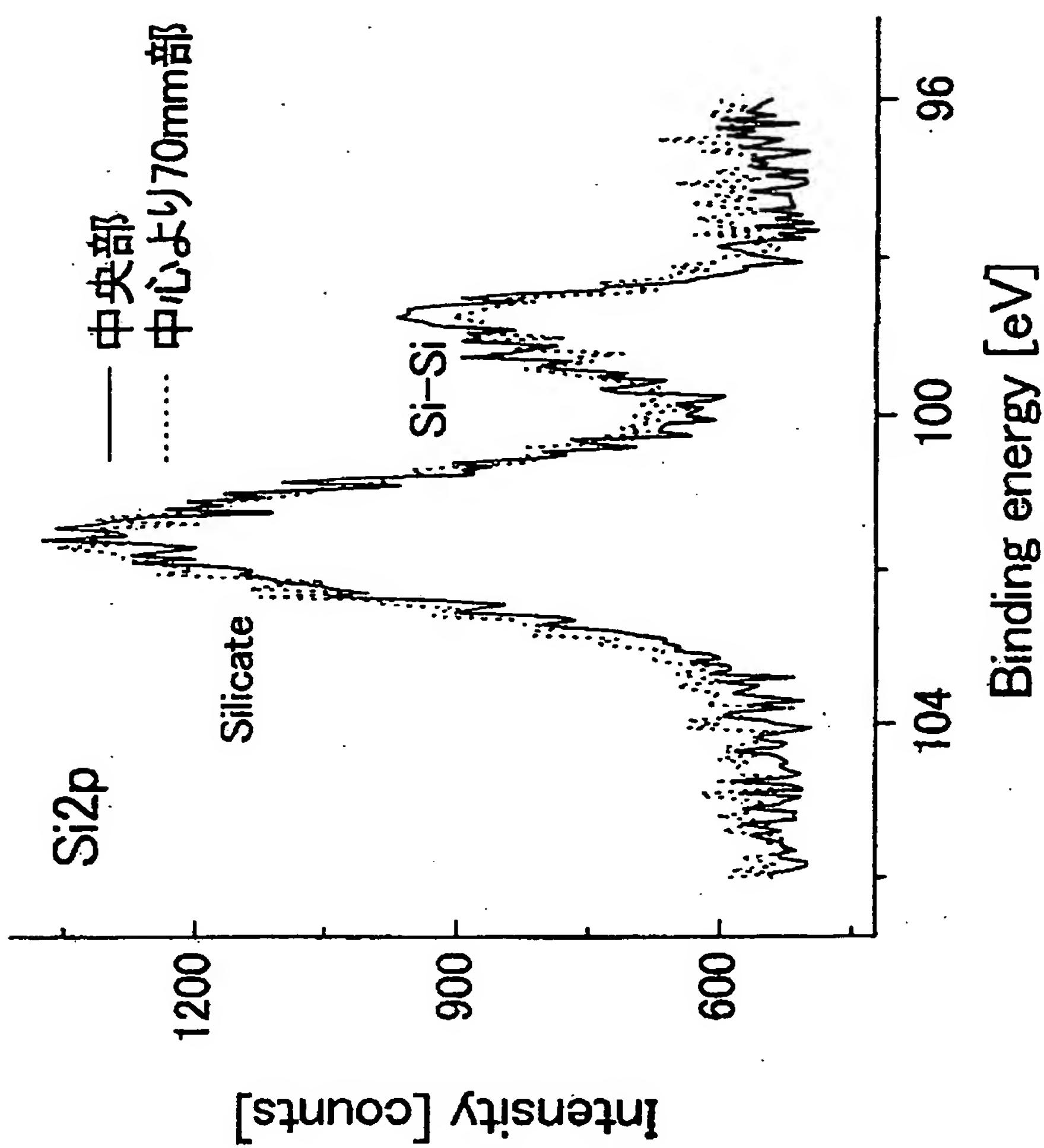
[図10]



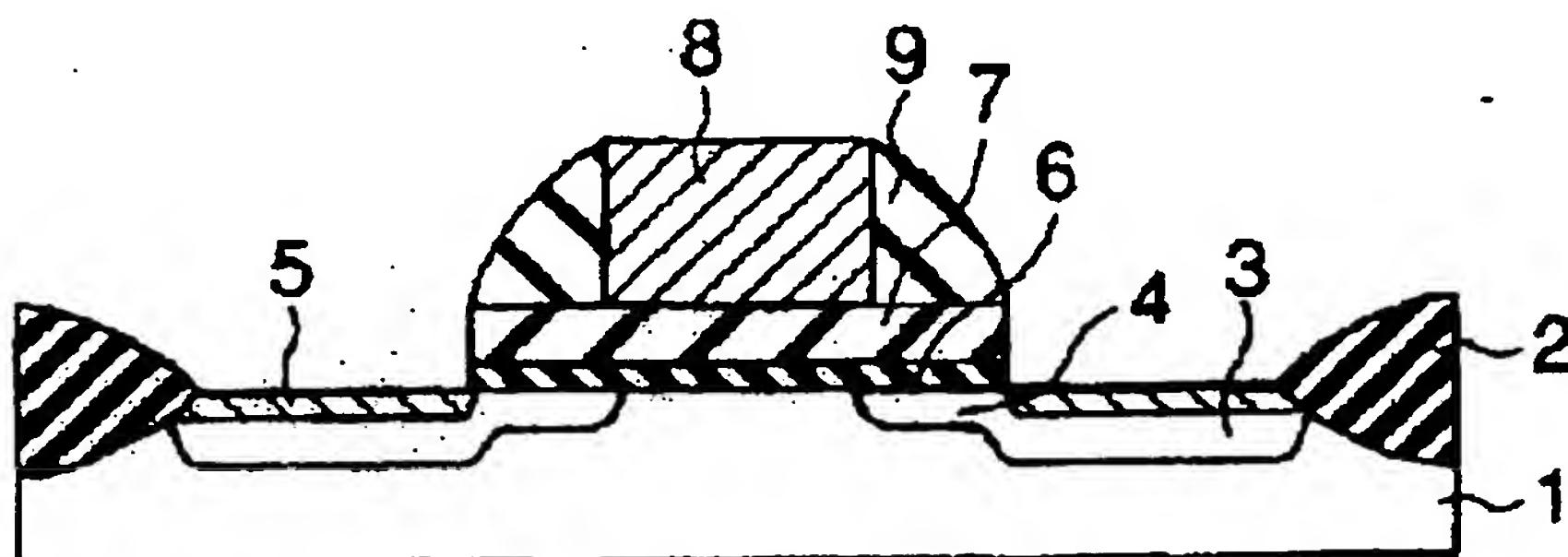
[図11]



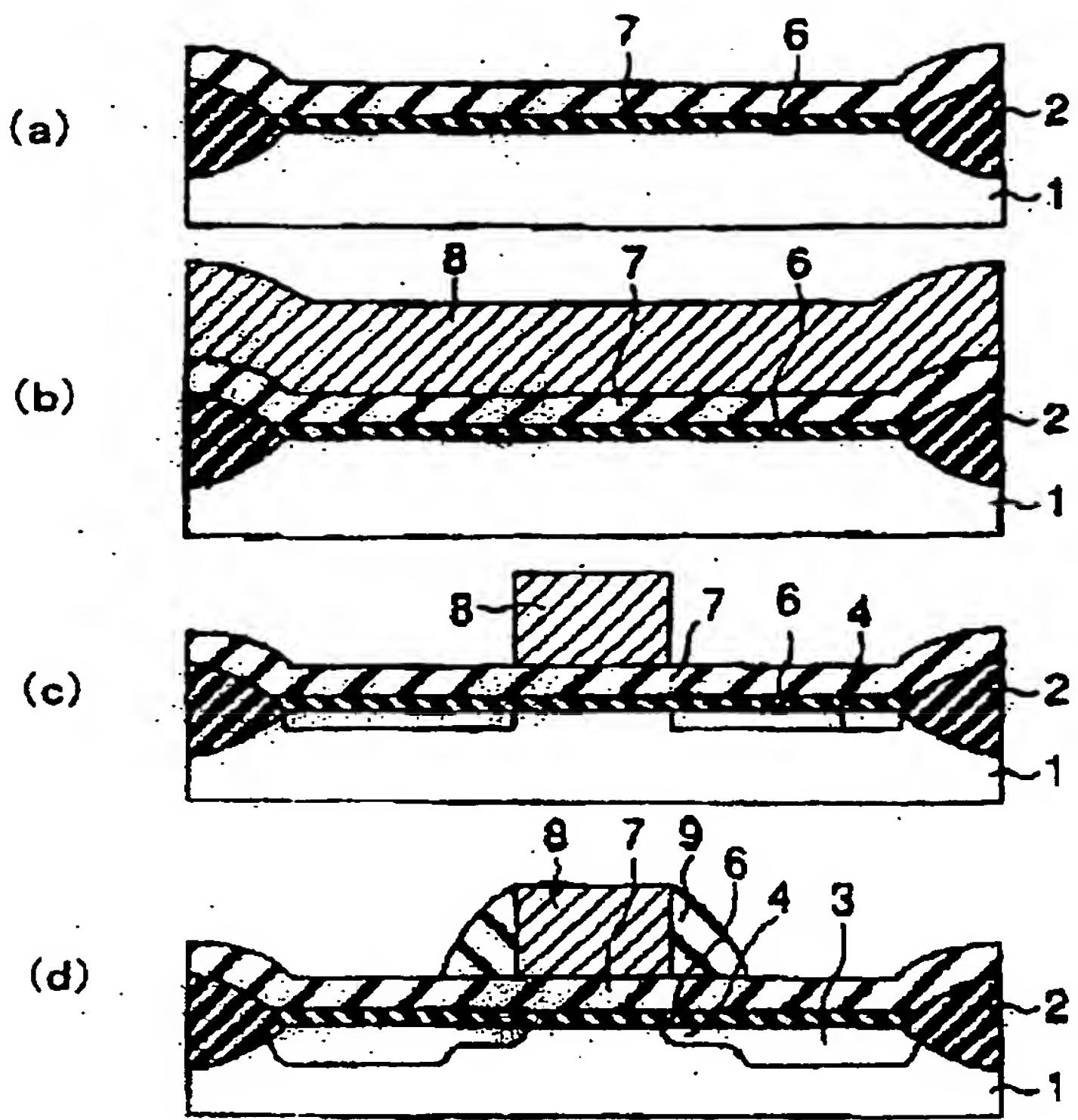
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007480

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L29/78, H01L21/336, H01L21/316, H01L21/31

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L29/78, H01L21/336, H01L21/316, H01L21/31, C23C16/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
 Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-008011 A (Matsushita Electric Industrial Co., Ltd.), 10 January, 2003 (10.01.03), Par. Nos. [0054] to [0085]; Figs. 1 to 6 & WO 2003/001605 A1 & US 2002/0195643 A1 & EP 1363333 A1	1
Y	JP 2000-349287 A (Fujitsu Ltd.), 15 December, 2000 (15.12.00), Par. Nos. [0058] to [0060]; Fig. 10 (Family: none)	3
A	Zurcher S. et al., 'New single-source precursors for the MOCVD of high-k dielectric zirconium silicates to replace SiO ₂ in semiconducting devices', Chemical Vapor Deposition, Vol.8, No.4, 2002.07, pages 171 to 177	1

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"	document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search
16 August, 2004 (16.08.04)Date of mailing of the international search report
31 August, 2004 (31.08.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007480

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-124460 A (Atsushi OGURA), 25 April, 2003 (25.04.03), Par. Nos. [0027] to [0048] & KR 2003-31409 A	1-20
P,A	JP 2003-347297 A (Kojundo Chemical Laboratory Co., Ltd.), 05 December, 2003 (05.12.03), Full text (Family: none)	4-15
P,A	JP 2003-179051 A (Matsushita Electric Industrial Co., Ltd.), 27 June, 2003 (27.06.03), Full text (Family: none)	2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007480

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Although it appears that the invention of claims 1-3 and 16-20 and the invention of claims 4-15 are linked with each other only in the matter of "metal oxide film containing silicon and hafnium", this matter is publicly known without need to cite references and hence cannot be stated as being special technical features.

Consequently, among the group of inventions claimed in claims 1-20, there is no special technical feature for linking them with each other so as to form a single general inventive concept. Therefore, it is apparent that the group of inventions claimed in claims 1-20 do not satisfy the requirement (continued to extra sheet)

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

The additional search fees were accompanied by the applicant's protest.
 No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007480

Continuation of Box No.III of continuation of first sheet(2)

of unity of invention.

From the viewpoint of specified aspects of inventions set forth in the independent claims, it appears that the claims of this international application involve two inventions consisting of those of [claims 1-3 and 16-20] and [claims 4-15].

A. 発明の属する分野の分類（国際特許分類（IPC））
Int. Cl' H01L29/78, H01L21/336, H01L21/316, H01L21/31

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
Int. Cl' H01L29/78, H01L21/336, H01L21/316, H01L21/31, C23C16/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-008011 A (松下電器産業株式会社) 2003. 01. 10, 段落番号【0054】～【0085】，図 1～図6 & WO 2003/001605 A1 & US 2002/0195643 A1 & EP 1363333 A1	1
Y A		3 2, 16-20

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 16. 08. 2004	国際調査報告の発送日 31. 8. 2004	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 松嶋 秀忠	4 L 3239

電話番号 03-3581-1101 内線 3462

C(続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-349287 A (富士通株式会社) 2000. 12. 15, 段落番号【0058】～【0060】, 図10 (ファミリーなし)	3
A	Zurcher S et al. 'New single-source precursors for the MOCVD of high-k dielectric zirconium silicates to replace SiO ₂ in semiconducting devices' Chemical Vapor Deposition, vol. 8, No. 4, 2002. 07, pp. 171-177	1
A	JP 2003-124460 A (小椋 厚志) 2003. 04. 25, 段落番号【0027】～【0048】 & KR 2003-31409 A	1-20
PA	JP 2003-347297 A (株式会社高純度化学研究所) 2003. 12. 05, 全文 (ファミリーなし)	4-15
PA	JP 2003-179051 A (松下電器産業株式会社) 2003. 06. 27, 全文 (ファミリーなし)	2

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1～3、16～20に記載されている発明と、請求の範囲4～15に記載されている発明は「シリコンおよびハフニウムを含む金属酸化膜」という事項でのみ連関していると認めるが、当該事項は文献を挙げるまでもなく周知であるから、この事項は、特別な技術的特徴であるとはいえない。

そうすると、請求の範囲1～20に記載されている一群の発明の間には、单一の一般的発明概念を形成するように連関させるための特別な技術的特徴は存しないこととなる。そのために、請求の範囲1～20に記載されている一群の発明が発明の単一性の要件を満たしていないことが明らかである。

そして、独立請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、[1～3、16～20]と[4～15]とに区分される2個の発明が記載されていると認める。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

追加調査手数料の納付と共に出願人から異議申立てがあった。
 追加調査手数料の納付と共に出願人から異議申立てがなかった。